

Family list

1 family member for:

JP6275645

Derived from 1 application.

1 MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication info: **JP6275645 A** - 1994-09-30

Data supplied from the *esp@cenet* database - Worldwide

Japanese Patent Laid-Open No. 275645/1994.

Laid-Open Date: September 30, 1994

Patent Application No. 65577/1993

Application Date: March 24, 1993

Request for Examination: Not made

Applicant: Sharp Corporation

Inventors: Yasuhiro Mitani, and Hirohisa Tanaka

Title of the Invention:

Method for the manufacture of a semiconductor device.

[ABSTRACT]

[PURPOSE] To shorten the annealing step for the formation of silicide.

[CONSTITUTION] A method for the manufacture of a semiconductor device, characterized in that a semiconductor layer is deposited on a substrate 1, and, after a metal layer 107 with a desired pattern is formed on the semiconductor layer, impurity ions 100 are implanted into the semiconductor layer through the metal layer 107 to form impurity semiconductor layers (6a and 6b), and, at the same time, metal silicide layers (7a and 7b) are formed in the surface layers of the impurity semiconductor layers (6a and 6b).

SPECIFICATION

What is claimed is:

1. A method for the manufacture of a semiconductor device, characterized in that a semiconductor layer is deposited on a substrate, and, after a metal layer with a desired pattern is formed on the semiconductor layer, impurity ions are implanted into the semiconductor layer through the metal layer to form impurity semiconductor layers, and, at the same time, metal silicide layers are formed in the surface layers of the impurity semiconductor layers.

Detailed Description of the Invention:

[0001]

[Industrial Field of Utilization] The present invention relates to a method for the manufacture of a semiconductor device and, more particularly, to a method for the manufacture of a semiconductor device used as a switching element with respect to an active matrix substrate used in a liquid crystal display device or the like.

[0002]

[Prior Art and the Problem that the Invention is to Solve] A semiconductor device such as a thin-film transistor or the like is used as a switching element in a liquid crystal display device or the like. Further, as liquid crystal display devices are

becoming larger and larger in screen size and more and more fine and accurate, the realization of high performances such as the enhancement in fineness, the simplification of the processes, and the unification of the characteristics over large areas is being pushed forward. For realizing these high performances, it becomes necessary to reduce the size of transistors, to decrease the frequency of film formation, and to establish a process technique for the manufacture of large areas.

[0003] The impurity semiconductor layers which are used as contact regions for the source and drain electrodes of a thin-film transistor are formed by the method of performing layer formation by the use of a PCVD apparatus or the like and the method of implanting ions by the use of an ion shower doping apparatus or the like. In case of the method of forming layers by the use of a PCVD apparatus or the like, the control for obtaining uniform film thickness and film quality over a large area becomes a problem. Further, in case of the method of implanting ions by the use of an ion shower doping apparatus or the like, it is not necessary to deposit n^+ layers constituting the impurity semiconductor layers; and thus, this method is advantageous in respect of realizing high performances, but the resistance of the impurity semiconductor layers is high, so that it is necessary to carry out a treatment for lowering the resistance.

[0004] In the past, for this resistance lowering, after the impurity semiconductor layer was deposited by the ion implantation method, a metal layer was deposited and rendered into a silicide by annealing or the like, whereby the resistance of the impurity semiconductor layer was lowered. (See Japanese Patent Laid-Open No. 158875/1988, Japanese Patent Laid-Open No. 168052/1988, Patent Laid-Open No. 4566/1991, and Japan Display '92, pp. 205 to 208, etc.). Fig. 12 and Fig. 13 show a thin-film transistor as mentioned above. Here, Fig. 12 is a plan view of the thin-film transistor, and Fig. 13 is a sectional view taken along the line A-A in Fig. 12. The manufacture of this thin-film transistor is carried out by, e.g., the following method. First, on a transparent substrate 21, a gate electrode 22 and a gate insulator film 23 are formed in this order. On the gate insulator film 23, an amorphous semiconductor layer 24 and impurity semiconductor layers 26a and 26b are formed. The above-mentioned impurity semiconductor layers 26a and 26b can be formed by the method shown in Fig. 14.

[0005] On the gate insulator film 23, only that portion of a semiconductor layer for forming the amorphous semiconductor layer 24 and the impurity semiconductor layers 26a and 26b which will be rendered into the amorphous semiconductor layer 24 is covered by a channel protective film 25, and, from above, impurity ions 300 are implanted. By this ion implantation, the impurity is implanted into the regions which are not covered

by the channel protective film 25, and thus, the impurity semiconductor layers 26a and 26b are formed.

[0006] Next, a metal which is easy to be silicided is deposited, and thereafter, an annealing treatment is carried out to form silicide layers 27a and 27b. Further, as shown in Fig. 8, a source electrode 28 and a drain electrode 29 are formed on the silicide layers at both sides of the channel protective film 25. Further, the drain electrode 29 is electrically connected to a picture element electrode 30. However, in case of a known thin-film transistor as shown in Fig. 12 and Fig. 13, it is necessary to carry out an annealing step in order to form the silicide, which results in an increase in the manufacturing steps.

[0007]

[Means for Solving the Problem and Working] Thus, according to the present invention, there is provided a method for the manufacture of a semiconductor device, characterized in that a semiconductor layer is deposited on a substrate, and, after a metal layer with a desired pattern is formed on the semiconductor layer, impurity ions are implanted into the semiconductor layer through the metal layer to form impurity semiconductor layers, and, at the same time, metal silicide layers are formed in the surface layers of the impurity semiconductor layers.

[0008] The manufacturing method according to the present

invention can be applied to known semiconductor devices such as, e.g., a thin-film transistor, a diode, etc. though not particularly limited. As substrates usable, a semiconductor substrate comprised of silicon or the like and an insulating substrate made of glass, quartz, high-molecular film, resin or the like can be mentioned. As the semiconductor layer, a silicon layer which is comprised of, e.g., amorphous silicon can be used. This semiconductor layer can be formed by, e.g., the PCVD method, the evaporation method, the sputtering method or the like.

[0009] On a desired region of the semiconductor layer, a metal such as Ta, Ti, Al, Cr, Ni, Pd, Co, Pt, Fe, V and Rh which is easy to be silicided is deposited by the sputtering method, the evaporation method or the CVD method, utilizing a protective film made of photo resist, SiN_x or the like; the metal layer is thus formed. The layer thickness of this metal layer changes in accordance with the condition of ion implantation which will be described below, but, it is desirable to select the film thickness to 10 to 100 Å in order to suitably form the silicide layers.

[0010] Next, onto the metal layer, impurity ions are implanted. Here, in case the impurity semiconductor layers are set to the n-conductivity type, Group V elements or compounds thereof can be used. As the Group V elements, P, As, Sb or the like can be mentioned, and further, compounds containing them will also

be mentioned. Further, in case of rendering the impurity semiconductor layer into the p conductivity type, Group III elements or compounds thereof can be used. As the Group III elements, B, Al, Ga or the like can be mentioned, and further, compounds containing them will also be mentioned. The ion implantation is carried out at an acceleration voltage of 1 to 100 keV. By this ion implantation, into the region covered by the metal layer, the impurity ions passing through the metal layers are implanted, whereby the impurity semiconductor layers are formed. At the same time, by the kinetic energy of the impurity ions when implanted, both of the metal layer and the semiconductor layer are heated, whereby silicide layers are formed in the surface layer of the semiconductor layer. Further, into the region covered by the protective film, the impurity ions are not implanted, and thus, the above-mentioned region remains as it is, so that the impurity semiconductor layers, the silicide layers, and the semiconductor layer are formed at the same time. After this, the metal layer is removed, and further, electrodes are formed on the impurity semiconductor layers, whereby a semiconductor device can be formed.

[0011] The manufacturing method according to the present invention is used under the following conditions in case the method is applied to a thin-film transistor: First, on the substrate, a gate electrode is formed to a film thickness of 2000 to 4000 Å. The substrate used should desirably be a

transparent insulating substrate. As such a substrate, there can be mentioned glass, quartz, high-molecular film or the like. Further, the gate electrode can be formed by depositing Ta, Ti, Al or Cr into a single layer or multiple layers by the sputtering method and patterning them. Further, it is also possible to form a gate bus line simultaneously with the above-mentioned patterning.

[0012] Next, on the gate electrode and substrate, a gate insulating film is formed to a thickness of 2000 to 5000 Å. As the gate insulating film, there can be used the film formed by depositing SiN_x , SiO_2 or the like by the PCVD method, the sputtering method or the like. Further, on the gate insulating film, a semiconductor layer is deposited to a thickness of 100 to 1000 Å. Here, for the semiconductor layer, it is desirable to use amorphous silicon which can be deposited by the PCVD method, the sputtering method or the like.

[0013] Subsequently, a channel protective film for preventing the impurity ions from being implanted into the channel region is formed on the semiconductor layer. For the channel protective film, it is desirable to use SiN_x , a photo resist, a polyimide or the like. In case of using SiN_x or the like is used for the channel protective film, it is deposited to a thickness of 1000 to 3000 Å by the PCVD method, the thermal CVD method or the like, patterning is carried out by the use of a photo resist or the like, and thereafter, by a method such

as the dry etching or the wet etching, the channel protective film is formed in a desired shape in a region above the gate electrode. Further, in case of using a photo resist for the channel protective film, the photo resist is applied to a film thickness of 1 to 2 μm by a spin coater to form a film, which is patterned, whereby the channel protective film is formed in a desired shape in a region above the gate electrode.

[0014] Next, on the channel protective film and the semiconductor layer, the metal which is easy to be silicided as mentioned before is deposited into a layer with a layer thickness of 10 to 100 \AA , whereby a metal layer is formed. This metal layer is formed in the same shape as the semiconductor layer by the dry etching method, the wet etching method or the like, through the protective film. After this, ions are implanted from above the metal layer as already mentioned. By this ion implantation, impurity semiconductor layers, silicide layers and a semiconductor layer can be formed at the same time. After the ion implantation, the metal layer is removed by the wet etching method or the like. Further, a source electrode and a drain electrode are deposited to a layer thickness of 2000 to 4000 \AA by a method such as the evaporation method or the sputtering method. These source and drain electrodes can be deposited with their end portions overlapping the above-mentioned protective film, but, since the low-resistance silicide layers are formed, it is also possible to deposit the

source and drain electrodes without overlapping the protective film. By forming the source and drain electrodes without overlapping the protective film, the miniaturization of the thin-film transistor can be realized, which is more desirable. Further, in case of using a photo resist for the channel protective film, the source and drain electrodes can be formed by the lift-off method.

[0015] The above-mentioned drain electrode and an picture element electrode having a film thickness of 500 to 1000 Å and comprising an indium tin oxide film (ITO) are electrically connected to each other, whereby a thin-transistor can be formed.

[0016]

[Examples] Examples of the present invention will now be described. However, the present invention is not limited to the materials, steps, the conditions therefor, etc. which will be mentioned below.

Example 1

The manufacturing method according to the present invention is applied to the manufacture of a thin-film transistor as shown in Fig. 1.

[0017] First, on a transparent insulating substrate 1 comprised of glass or the like, Al was deposited into a layer with a layer thickness of 3000 Å by the sputtering method. Next, by carrying out patterning by the use of a photo resist, a gate electrode 2 was formed. On this gate electrode 2, a gate

insulator film 3 comprising SiN_x was formed to a film thickness of 3000 Å by the PCVD method. On the gate insulator film 3, an amorphous semiconductor layer comprising amorphous silicon was deposited to a layer thickness of 600 Å by the PCVD method, and further, on the amorphous semiconductor layer, a film comprising SiN_x and having a film thickness of 2000 Å was formed by the same method as the method of forming the amorphous semiconductor layer. This film was patterned by the use of a photo resist and wet-etched, whereby a channel protective film 5 was formed above the gate electrode 2. Next, on the amorphous semiconductor layer and the channel protective film 5, Mo which is a metal easy to be silicided was deposited to a layer thickness of 100 Å by the sputtering method. Further, this metal layer was patterned by the use of a photo resist so as to have the same shape as that of the amorphous semiconductor layer in the state in which the protective film 5 existed as an intervener and wet-etched, whereby a metal layer 107 was formed.

[0018] Next, through the above-mentioned metal layer 107, impurity ions 100 were implanted. The condition for this ion implantation was set in such a manner that the impurity ions were P ions of Group V elements, and the acceleration voltage was 30 keV. By this implantation, ions were implanted through the metal layer 107 into the portions which were not covered by the channel protective film 5, whereby n-type impurity

semiconductor layers 6a and 6b were formed. Further, simultaneously with the formation of the impurity semiconductor layers, self-annealing was caused through the heating by the kinetic energy of the ions when implanted, whereby silicide layers 7a and 7b were formed in the upper layer portion of the impurity semiconductor layer. Further, into the portion covered by the protective film 5, the ions were not implanted; and a semiconductor layer 4 was formed.

[0019] After this, the metal layer 107 was removed by wet etching. Next, on this substrate 1, Al was deposited to a layer thickness of 2000 Å by the sputtering method. Further, by performing wet etching by the use of a photo resist, a source electrode 8 and a drain electrode 9 were deposited in the state in which the end portions of the electrodes were placed on the channel protective film 5. Next, above the substrate 1, a picture element electrode 10 was formed in such a manner as to be electrically connected to the drain electrode 9. This picture element electrode 10 was comprised of ITO and deposited to a layer thickness of 1000 Å by the sputtering method. In this way, a thin-film transistor as shown in Fig. 2 and 3 was obtained. Fig. 3 shows a sectional view taken between B and B in Fig. 2. Further, in Fig. 2, a gate bus line 2a is formed; this was formed simultaneously when the gate electrode 2 was formed.

[0020] Further, in this example, the end portions of the source and drain electrodes are shaped so as to overlap the channel

protective film 5, but it is alternatively possible to form them in a shape not overlapping the channel protective film 5 as shown in Figs. 4 to 6 (Fig. 5 shows a sectional view taken between C and C in Fig. 2). This becomes possible due to the fact that the low-resistance silicide layers 7a and 7b are formed and thus can contribute to the miniaturization of the thin-film transistor.

[0021] Example 2

The manufacturing method according to the present invention was applied to the manufacture of a thin-film transistor as shown in Fig. 7. First, on a transparent insulating substrate 11 comprising glass or the like, Al was deposited to a layer thickness of 3000 Å by the sputtering method. Next, by performing patterning by the use of a photo resist, a gate electrode 12 was formed. On this gate electrode 12, a gate insulator film 13 comprising SiN_x was formed to a film thickness of 3000 Å by the PCVD method. On the gate insulator film 13, an amorphous semiconductor layer comprising an amorphous silicon and having a layer thickness of 600 Å was deposited. On this amorphous semiconductor layer, a photo resist was formed into a film with a film thickness of 1.2 μm by the spin coating method. Further, this photo resist was patterned to thereby form a channel protective film 15 above the gate electrode 12. Next, on the amorphous semiconductor layer and the channel protective film 15, Mo which is a metal

easy to be silicided was deposited to a layer thickness of 100 Å by the sputtering method. Further, the thus deposited metal was patterned by the use of a photo resist so as to have the same shape as that of the amorphous semiconductor layer in the state in which the protective film 15 existed as an intervener and wet-etched, whereby a metal layer 117 was formed.

[0022] Next, through the above-mentioned metal layer 117, impurity ions 200 were implanted. The condition for this ion implantation was set in such a manner that the impurity ions were P ions of a Group V element, and the acceleration voltage was 30 keV. By this implantation, the ions were implanted, passing through the metal layer 117, into the portions which were not covered by the channel protective film 15, whereby n-type impurity semiconductor layers 17a and 17b were formed. Further, simultaneously with the formation of the impurity semiconductor layers, self-annealing was caused due to the heating by the kinetic energy of the ions when implanted, whereby silicide layers 17a and 17b were formed in the upper portions of the impurity semiconductor layers. Further, into the portion which was covered by the channel protective film 15, the ions were not implanted; and thus, a semiconductor layer 14 was formed.

[0023] After this, the metal layer 117 was removed by wet etching, and the channel protective film 15 was removed. Next, on this substrate 11, Al was deposited to a layer thickness of 2000

Å by the sputtering method. Further, by performing wet etching by the use of a photo resist, a source electrode 18 and a drain electrode 19 were formed. Next, on the substrate 11, a picture element electrode 20 was formed in such a manner as to be electrically connected to the above-mentioned drain electrode 19. This picture element electrode 20 was comprising ITO; it was deposited to a thickness of 1000 Å by the sputtering method. In this way, a thin-film transistor as shown in Fig. 8 and Fig. 9 was obtained. Fig. 9 shows a sectional view taken between D and D in Fig. 8. Further, in Fig. 8, a gate bus line 12a is formed; this was formed simultaneously when the gate electrode 12 was formed.

[0024] Further, in case of above-mentioned Example 2, the removal of the channel protective film 15 and the formation of the source and drain electrodes were carried out separately, but it is also possible to form the source and drain electrodes by the lift-off method, utilizing the channel protective film 15 as shown in Fig. 10 and Fig. 11 (Fig. 11 shows a sectional view taken between E and E in Fig. 10).

[0025]

[Effect of the Invention] According to the manufacturing method of the present invention, it becomes possible to form a semiconductor device in such a manner that, at the step of forming the impurity semiconductor layers on the amorphous semiconductor layer by the ion implantation method, a metal

layer is formed on the amorphous semiconductor layer, and, from above the metal layer, an impurity is ion-implanted, whereby the impurity semiconductor layers and the silicide are formed at the same time by the self-annealing at the time of implantation; and thus, the semiconductor device can be formed without increasing the number of processes for annealing, etc.

[0026] As a result, the low-resistance impurity semiconductor layers can be formed of the silicide, so that a semiconductor device with good characteristics can be formed; the semiconductor device has the excellent effect that it can be applied to, e.g., an active matrix type liquid crystal display. Further, a manufacturing method effective in realizing the miniaturization of semiconductor devices, back exposure or self-matching can be provided.

Brief Description of the Drawings:

Fig. 1 is a schematic sectional view showing the method for the manufacture of a semiconductor device according to the present invention.

Fig. 2 is a schematic sectional view showing a semiconductor device manufactured by the method according to the present invention.

Fig. 3 is a schematic sectional view, taken between B and B, of the semiconductor device shown in Fig. 2.

Fig. 4 is a schematic plan view of the semiconductor device manufactured by the method according to the present invention.

Fig. 5 is a schematic sectional view, taken between C and C, of the semiconductor device shown in Fig. 4.

Fig. 6 is a schematic plan view of the semiconductor device manufactured by the method according to the present invention.

Fig. 7 is a schematic sectional view showing the method for the manufacture of a semiconductor device according to the present invention.

Fig. 8 is a schematic plan view of a semiconductor device manufactured by the method according to the present invention.

Fig. 9 is a schematic sectional view, taken between D and D, of the semiconductor device shown in Fig. 8.

Fig. 10 is a schematic plan view of the semiconductor device manufactured by the method according to the present invention.

Fig. 11 is a schematic sectional view, taken between E and E, of the semiconductor device shown in Fig. 10.

Fig. 12 is a schematic plan view of the semiconductor device manufactured by a known method.

Fig. 13 is a schematic sectional view, taken between A and A, of the semiconductor device shown in Fig. 12.

Fig. 14 is a schematic sectional view showing the known method for the manufacture of a semiconductor device.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-275645

(43) 公開日 平成6年(1994)9月30日

(51) Int. Cl. ⁵

識別記号

F I

H01L 21/336

29/784

21/265

9056-4M

H01L 29/78

311

P

8617-4M

21/265

A

審査請求 未請求 請求項の数 1 O L (全8頁) 最終頁に続く

(21) 出願番号 特願平5-65577

(22) 出願日 平成5年(1993)3月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 三谷 康弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 田仲 広久

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

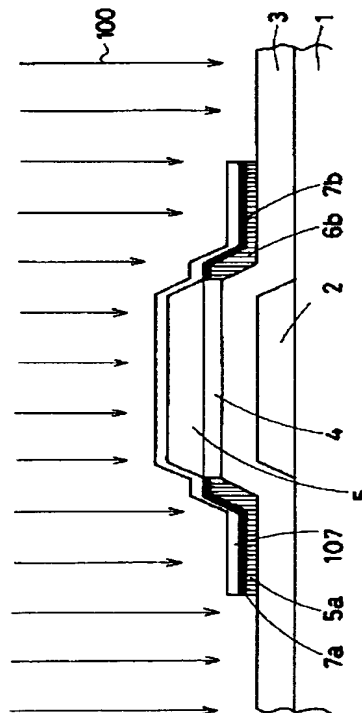
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 シリサイドを形成するためのアニール処理工程の短縮。

【構成】 基板1上に半導体層を積層し、該半導体層上に所望パターンの金属層107を形成したあと、該金属層107を介して半導体層に不純物イオン100の注入を行い不純物半導体層(6a及び6b)を形成し、かつ同時に該不純物半導体層(6a及び6b)の表面層に金属シリサイド層(7a及び7b)を形成することを特徴とする半導体装置の製造方法。



【特許請求の範囲】

【請求項 1】 基板上に半導体層を積層し、該半導体層上に所望パターンの金属層を形成したあと、該金属層を介して半導体層に不純物イオンの注入を行い不純物半導体層を形成し、かつ同時に該不純物半導体層の表面層に金属シリサイド層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法 10 に関する。更に詳しくは、液晶表示装置等に使用されるアクティブマトリクス基板に対しスイッチング素子として使用される半導体装置の製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 薄膜トランジスタ等の半導体装置は、液晶表示装置等にスイッチング素子として使用されている。また、液晶表示装置の大画面化や高精細化に伴い、微細化、プロセスの簡略化及び大面積における特性の均一化等の高性能化が進め 20 られている。この高性能化する際に、トランジスタの小型化、成膜回数の低減及び大面積製造プロセス技術の確立が必要となる。

【0003】 薄膜トランジスタのソース・ドレイン電極のコンタクト領域となる不純物半導体層は、PCVD装置等を用いて積層する方法と、イオンシャワードーピング装置等を用いて注入する方法で形成される。PCVD装置等を用いて積層する方法では、大面積での均一な膜厚や膜質の制御が問題となる。また、イオンシャワードーピング装置等を用いて注入する方法では、不純物半導体層を構成する n^+ 層を積層する必要がなく、高性能化 30 に有利であるが、不純物半導体層での抵抗が高く、低抵抗化するための処理が必要である。

【0004】 従来、この低抵抗化のために、イオン注入法で不純物半導体層を形成後、金属層を積層し、アニール等によるシリサイド化により、不純物半導体層の低抵抗化を行ってきた（特開昭第63-158875号公報、特開昭第63-168052号公報、特開平第3-4566号公報及びJapan Display '92 第205～208頁等参照）。上記のような薄膜トランジスタを図12及び図13に示す。ここで図12は、薄膜トランジスタの平面図であり、図13は図12のA-A線間の断面図を示している。この薄膜トランジスタの製造方法は、例えば次の方法による。まず、透明な絶縁性基板21の上に、ゲート電極22及びゲート絶縁膜23をこの順で形成する。ゲート絶縁膜23の上方部分には、非晶質半導体層24、不純物半導体層26a及び26bが形成されている。上記不純物半導体層26a及び26bは、図14に示す方法によって形成することができる。

【0005】 すなわち、ゲート絶縁膜23上に、後に非晶質半導体層24、不純物半導体層26a及び26bを 50

形成するための半導体層のうち、非晶質半導体層24とする部分のみをチャネル保護膜25で覆い、上から不純物イオン300の注入を行う。イオン注入によってチャネル保護膜25で覆われていない領域に、不純物が注入され、不純物半導体層26a及び26bが形成される。

【0006】 次に、シリサイド化しやすい金属を積層した後に、アニール処理を行い、シリサイド層27a及び27bを形成する。更に図8に示すように、シリサイド層上にソース電極28及びドレイン電極29がチャネル保護膜25の両側に形成される。またドレイン電極29は絵素電極30に電気的に接続されている。しかしながら、上記図12及び図13に示したような従来の薄膜トランジスタの場合では、シリサイドを形成するためにアニール処理工程が必要であり、工程の増加を招いていた。

【0007】

【課題を解決するための手段及び作用】 かくして本発明によれば、基板上に半導体層を積層し、該半導体層上に所望パターンの金属層を形成したあと、該金属層を介して半導体層に不純物イオンの注入を行い不純物半導体層を形成し、かつ同時に該不純物半導体層の表面層に金属シリサイド層を形成することを特徴とする半導体装置の製造方法が提供される。

【0008】 本発明の製造方法は、公知の半導体装置に適用が可能であるが、例えば薄膜トランジスタ、ダイオード等が挙げられる。使用できる基板としては、特に限定されないが、シリコン等の半導体基板、あるいはガラス、石英、高分子フィルム、樹脂等の絶縁性基板を使用することができる。半導体層としては、例えばアモルファスシリコンからなるシリコン層が使用できる。この半導体層は、例えばPCVD法、蒸着法、スパッタリング法等によって形成することができる。

【0009】 半導体層上の所望の領域に、ホトレジスト、 SiN_x 等の保護膜を利用して、Ta, Ti, Al, Cr, Ni, Pd, Co, Pt, Fe, V, Rh等のシリサイド化しやすい金属を、スパッタリング法、蒸着法、CVD法等で積層し、金属層を形成する。この金属層の層厚は、次に示すイオン注入の条件によっても変わるが、シリサイド層を好適に形成するには、10～100Åが好ましい。

【0010】 次に、金属層上に、不純物イオンの注入を行う。ここで、不純物半導体層をn型とする場合は、第V族元素又はその化合物を使用することができる。第V族元素には、P、As、Sb等が挙げられ、更にこれらを含む化合物も挙げられる。また、不純物半導体層をp型とする場合は、第III族元素又はその化合物を使用することができる。第III族元素には、B、Al、Ga等が挙げられ、更にこれらを含む化合物も挙げられる。イオン注入は、加速電圧1～100keVで行われる。このイオン注入によって、金属層に覆われている領域は、

金属層を突き抜けた不純物イオンが注入され、不純物半導体層が形成される。更に、同時に注入時の不純物イオンの運動エネルギーにより、金属層と半導体層の両層が加熱されて、半導体層の表面層に、シリサイド層が形成される。また保護膜に覆われた領域は、不純物イオンが注入されず、そのまま残るので不純物半導体層、シリサイド層及び半導体層が同時に形成される。このうち金属層を取り除き、更に不純物半導体層上に電極を形成し、半導体装置を形成することができる。

【0011】本発明の製造方法を、薄膜トランジスタに適用する場合には以下のような条件で用いられる。まず、基板上に膜厚2000~4000Åでゲート電極を形成する。用いる基板は透明性絶縁基板が好ましい。このような基板として、ガラス、石英、高分子フィルム等が挙げられる。またゲート電極は、Ta、Ti、Al、Cr等を、スパッタリング法等で単層又は多層に堆積し、パターニングして形成することができる。また上記パターニングと同時にゲートバスラインを形成することもできる。

【0012】次に、ゲート電極及び基板上に、膜厚2000~5000Åでゲート絶縁膜を形成する。ゲート絶縁膜には、SiN_x、SiO₂等をPCVD法、スパッタリング等で堆積したものを使用することができる。更に、ゲート絶縁膜上に半導体層を膜厚100~1000Åで積層する。ここで半導体層には非晶質であるアモルファスシリコンを使用することが好ましく、PCVD法、スパッタリング法等で積層することができる。

【0013】続いて、半導体層上にチャネル領域に不純物イオンが注入されることを防ぐためのチャネル保護膜を成膜する。チャネル保護膜にはSiN_x、ホトレジスト、ポリイミド等を使用することが好ましい。チャネル保護膜にSiN_x等を使用する場合、PCVD法、熱CVD法等で膜厚1000~3000Åで積層し、ホトレジスト等を使用してパターニングしたあと、ドライエッチングあるいはウェットエッチング等の方法によって、ゲート電極の上部領域に、所望の形状で形成される。更に、チャネル保護膜にホトレジストを使用する場合、スピコートで1~2μmの膜厚で塗布することによって成膜し、パターニングすることによって、ゲート電極の上部領域に、所望の形状で形成される。

【0014】次に、チャネル保護膜及び半導体層上に、既述したシリサイド化しやすい金属を、膜厚10~100Åで積層し、金属層を形成する。この金属層は保護膜を介した状態で、ドライエッチングあるいはウェットエッチング等の方法によって、半導体層と同一の形状に形成する。この後、金属層上から既述のようにイオン注入する。このイオン注入によって不純物半導体層、シリサイド層及び半導体層が同時に形成できる。イオン注入の後、金属層をウェットエッチング法等によって取り除く。更にソース電極及びドレイン電極を、膜厚2000

~4000Åで、蒸着、スパッタリング等の方法によって積層する。このソース・ドレイン電極は、前記保護膜上にその端部を重ねて積層することもできるが、低抵抗のシリサイド層が形成されているので、保護膜に重ね合わせることをなしに積層することもできる。重ね合わせることをなしに積層することによって、薄膜トランジスタの小型化を図ることができ、より好ましい。更にチャネル保護膜にホトレジストを使用した場合には、リフトオフすることによってソース・ドレイン電極を形成することもできる。

【0015】上記ドレイン電極と、膜厚500~1000Åのインジウム錫酸化膜(ITO)からなる絵素電極を、電気的に接続することによって薄膜トランジスタを形成できる。

【0016】

【実施例】以下に、本発明の実施例を示す。なお本発明は以下の材料、工程及びその条件等に限定されるものではない。

実施例1

本発明の製造方法を図1に示すように薄膜トランジスタの製造に適用した。

【0017】まず、ガラス等からなる透明性絶縁基板1上に、Alを膜厚3000Åでスパッタリング法によって積層した。次にホトレジストを用いて、パターニングすることによって、ゲート電極2を形成した。このゲート電極2上に、SiN_xからなるゲート絶縁膜3を、膜厚3000ÅでPCVD法によって形成した。ゲート絶縁膜3上にPCVD法によって、膜厚600Åのアモルファスシリコンからなる非晶質半導体層を積層し、更に非晶質半導体層上に非晶質半導体層と同様の方法によって、膜厚2000ÅのSiN_xからなる膜を成膜した。この膜をホトレジストを用いてパターニングし、ウェットエッチングによって、ゲート電極2上にチャネル保護膜5を形成した。次に、非晶質半導体層及びチャネル保護膜5上に、シリサイド化しやすい金属であるMoを膜厚100Åで、スパッタリング法によって積層した。更に保護膜5を介したままの状態、非晶質半導体層の形状と同一になるように、ホトレジストを用いてパターニングし、ウェットエッチングによって、金属層107を形成した。

【0018】次に、上記金属層107を介して不純物イオン100の注入を行った。このイオン注入条件は、不純物イオンを第V族元素であるPイオンとし、加速電圧を30keVとした。この注入によって、チャネル保護膜5で覆われていない部分には金属層107を突き抜けてイオンが打ち込まれ、n型の不純物半導体層6a及び6bが形成された。また不純物半導体層の形成と同時に、注入時のイオンの運動エネルギーによる加熱でセルフアニールが起こり、不純物半導体層の上層部分に、シリサイド層7a及び7bが形成された。更にチャネル保

護膜 5 で覆われた部分には、イオンが注入されず半導体層 4 が形成された。

【0019】この後、金属層 107 をウエットエッチングによって除去した。次にこの基板 1 上に A1 を層厚 2000 Å で、スパッタリング法によって積層した。更にホトレジストを用いてウエットエッチングすることによって、チャンネル保護膜 5 の上に端部を載せた状態で、ソース電極 8 とドレイン電極 9 を積層した。次に基板 1 上に前記ドレイン電極 9 と電気的に接続させるようにして、絵素電極 10 を形成した。この絵素電極 10 は、ITO からなり、層厚 1000 Å でスパッタリング法によって積層した。このようにして図 2 及び図 3 に示すような薄膜トランジスタを得た。図 3 は図 2 の B-B 間の断面図を示している。また、図 2 にはゲートバスライン 2a が形成されているが、これはゲート電極 2 の形成時に同時に形成した。

【0020】また、本実施例ではソース・ドレイン電極の端部が、チャンネル保護膜 5 と重なった形状をしているが、図 4~6 (図 5 は図 2 の C-C 間の断面図を示している。) に示したようにチャンネル保護膜 5 と重ならない形状とすることもできる。これは、低抵抗のシリサイド層 7a 及び 7b が形成されていることによって可能となり、薄膜トランジスタの小型化に貢献することができる。

【0021】実施例 2

本発明の製造方法を図 7 に示すように薄膜トランジスタの製造に適用した。まず、ガラス等からなる透明性絶縁基板 11 上に、A1 を層厚 3000 Å でスパッタリング法によって積層した。次にホトレジストを用いて、パターンニングすることによって、ゲート電極 12 を形成した。このゲート電極 12 上に、SiN_x からなるゲート絶縁膜 13 を、膜厚 3000 Å で PCVD 法によって形成した。ゲート絶縁膜 13 上に PCVD 法によって、層厚 600 Å のアモルファスシリコンからなる非晶質半導体層を積層した。この非晶質半導体層上に、スピコート法によってホトレジストを 1.2 μm の膜厚で成膜した。更にこのホトレジストをパターンニングすることによって、ゲート電極 12 上にチャンネル保護膜 15 を形成した。次に、非晶質半導体層及びチャンネル保護膜 15 上に、シリサイド化しやすい金属である Mo を層厚 100 Å で、スパッタリング法によって積層した。更に保護膜 15 を介したままの状態、非晶質半導体層の形状と同一になるように、ホトレジストを用いてパターンニングし、ウエットエッチングによって、金属層 117 を形成した。

【0022】次に、上記金属層 117 を介して不純物イオン 200 の注入を行った。このイオン注入条件は、不純物イオンを第 V 族元素である P イオンとし、加速電圧を 30 keV とした。この注入によって、チャンネル保護膜 15 で覆われていない部分には金属層 117 を突き抜

けてイオンが打ち込まれ、n 型の不純物半導体層 17a 及び 17b が形成された。また不純物半導体層の形成と同時に、注入時のイオンの運動エネルギーによる加熱でセルフアニールが起こり、不純物半導体層の上層部分に、シリサイド層 17a 及び 17b が形成された。更にチャンネル保護膜 15 で覆われた部分には、イオンが注入されず半導体層 14 が形成された。

【0023】この後、金属層 117 をウエットエッチングによって除去し、チャンネル保護膜 15 を取り除いた。次にこの基板 11 上に A1 を層厚 2000 Å で、スパッタリング法によって積層した。更にホトレジストを用いてウエットエッチングすることによって、ソース電極 18 とドレイン電極 19 を積層した。次に基板 11 上に前記ドレイン電極 19 と電気的に接続させるようにして、絵素電極 20 を形成した。この絵素電極 20 は、ITO からなり、層厚 1000 Å でスパッタリング法によって積層した。このようにして図 8 及び図 9 に示すような薄膜トランジスタを得た。図 9 は図 8 の D-D 間の断面図を示している。また、図 8 中ゲートバスライン 12a が形成されているが、これはゲート電極 12 の形成時に同時に形成した。

【0024】また、上記実施例 2 ではチャンネル保護膜 15 の除去とソース・ドレイン電極の形成を別々に行ったが、図 10 及び図 11 (図 11 は図 10 の E-E 間の断面図を示している。) に示すようにチャンネル保護膜 15 を利用して、リフトオフによりソース・ドレイン電極の形成を行うこともできる。

【0025】

【発明の効果】本発明の半導体装置の製造方法によれば、非晶質半導体層上に、イオン注入法を用いて、不純物半導体層を形成する工程において、非晶質半導体層上に金属層を形成し、その上より不純物をイオン注入することにより、不純物半導体層と注入時のセルフアニールによりシリサイドを同時に形成するので、アニール等のプロセスの数を増やすことなく、半導体装置を形成することが可能になる。

【0026】この結果として、シリサイドにより低抵抗な不純物半導体層を形成することができるので、良好な特性を持つ半導体装置を形成することができ、例えばアクティブマトリクス型の液晶表示装置に適用できる優れた効果を有する。また、半導体装置の小型化、裏面露光或いは自己整合を実現するのに有効な製造方法を提供できる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の製造方法を示す概略断面図である。

【図 2】本発明の方法で製造された半導体装置の概略平面図である。

【図 3】図 2 の半導体装置の B-B 間の概略断面図である。

7

【図 4】本発明の方法で製造された半導体装置の概略平面図である。

【図 5】図 4 の半導体装置の C - C 間の概略断面図である。

【図 6】本発明の方法で製造された半導体装置の概略平面図である。

【図 7】本発明の半導体装置の製造方法を示す概略断面図である。

【図 8】本発明の方法で製造された半導体装置の概略平面図である。

【図 9】図 8 の半導体装置の D - D 間の概略断面図である。

【図 10】本発明の方法で製造された半導体装置の概略平面図である。

【図 11】図 10 の半導体装置の E - E 間の概略断面図である。

【図 12】従来の方法で製造された半導体装置の概略平面図である。

【図 13】図 12 の半導体装置の A - A 間の概略断面図である。

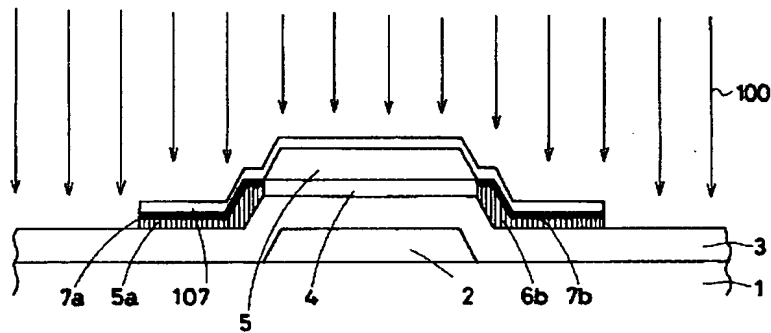
8

【図 14】従来の半導体装置の製造方法を示す概略断面図である。

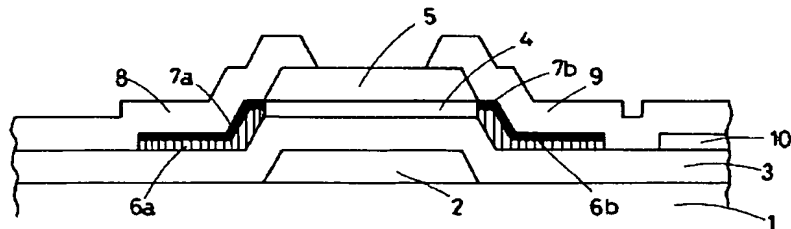
【符号の説明】

- | | |
|-------------------------|----------|
| 1, 11 | 基板 |
| 2, 12 | ゲート電極 |
| 2 a, 12 a | ゲートバスライン |
| 3, 13 | ゲート絶縁膜 |
| 4, 14 | 非晶質半導体層 |
| 5, 15 | チャンネル保護膜 |
| 10 6 a, 6 b, 16 a, 16 b | 不純物半導体層 |
| 7 a, 7 b, 17 a, 17 b | シリサイド層 |
| 8, 18 | ソース電極 |
| 9, 19 | ドレイン電極 |
| 10, 20 | 絵素電極 |
| 11, 21 | 基板 |
| 12, 22 | ゲート電極 |
| 13, 23 | ゲート絶縁膜 |
| 14, 24 | 非晶質半導体層 |
| 100, 200, 300 | 不純物イオン |
| 20 107, 117 | 金属層 |

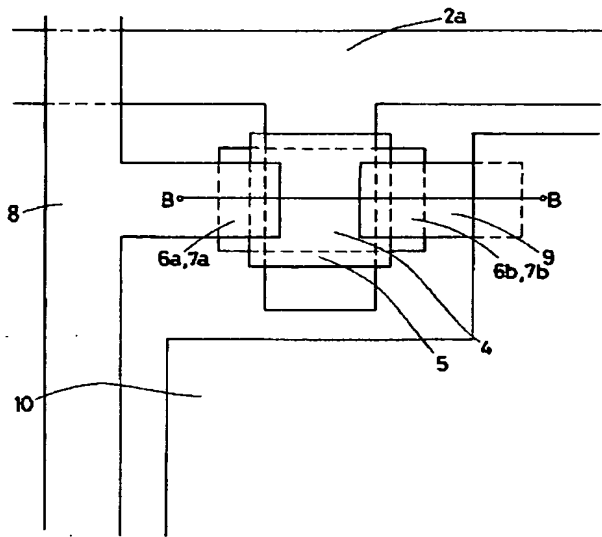
【図 1】



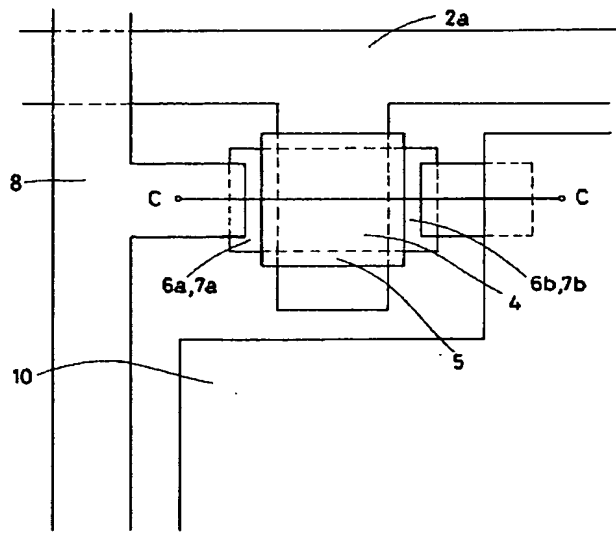
【図 3】



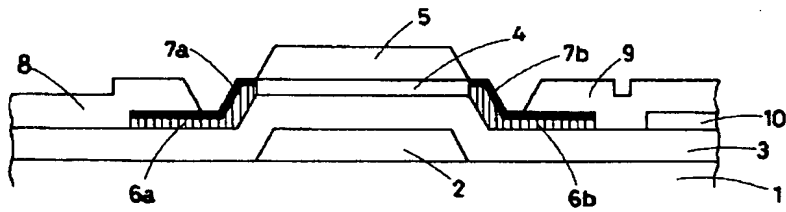
【図 2】



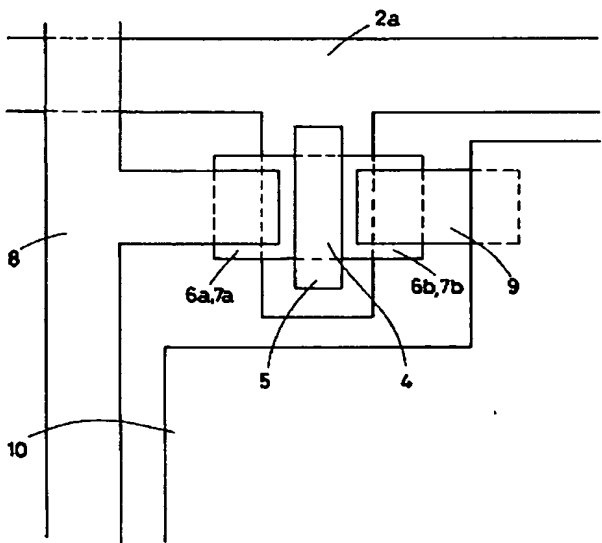
【図 4】



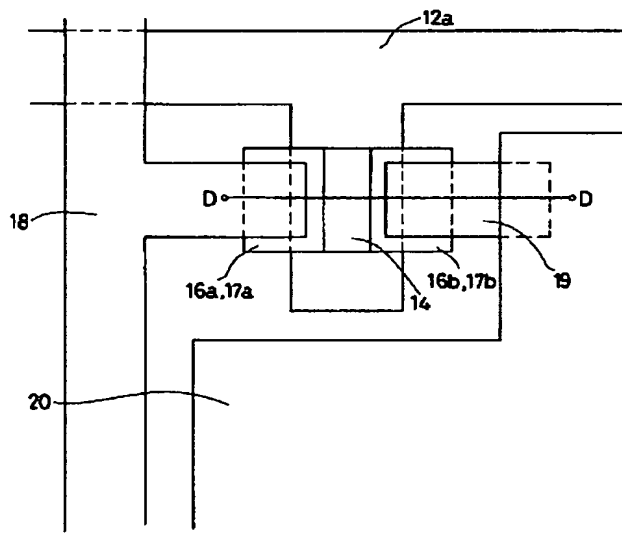
【図 5】



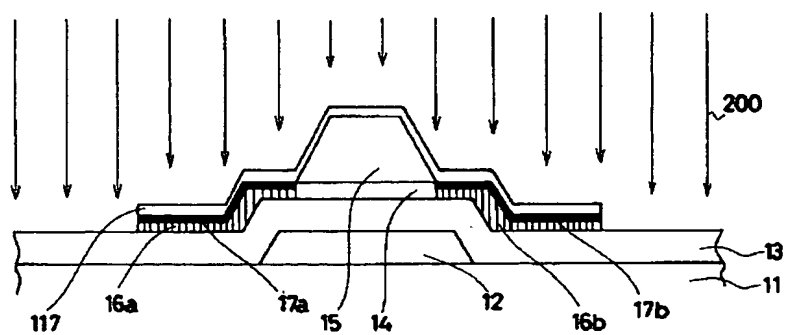
【図 6】



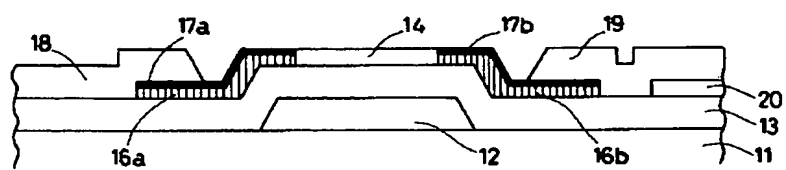
【図 8】



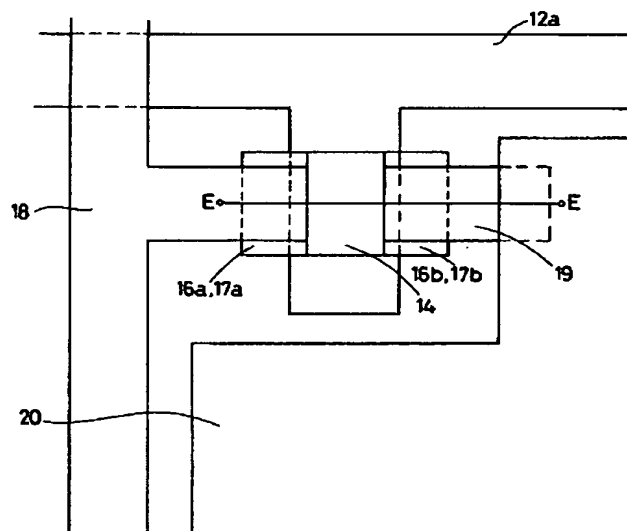
【图 7】



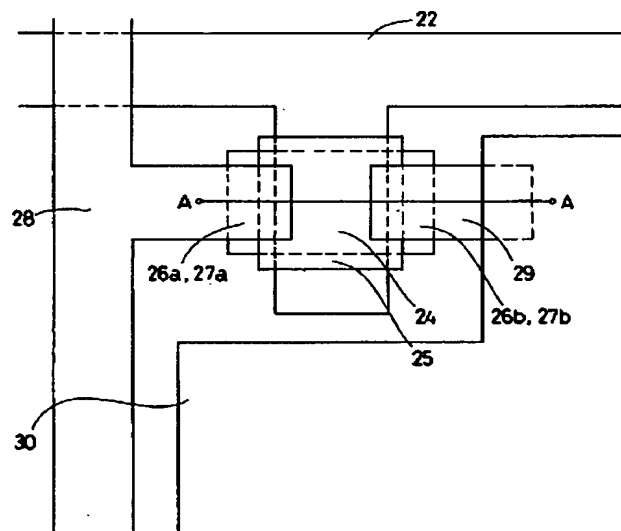
【图9】



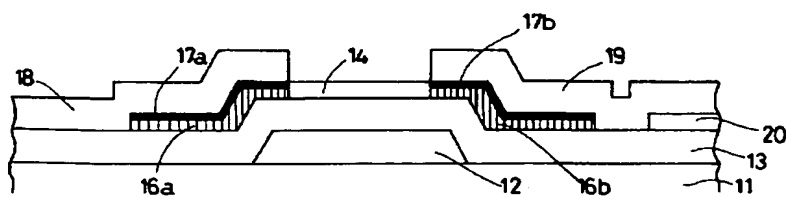
【図 10】



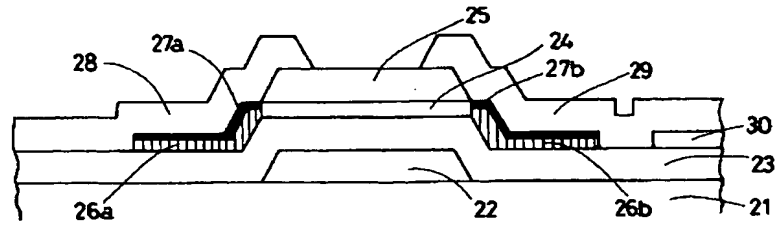
【図 12】



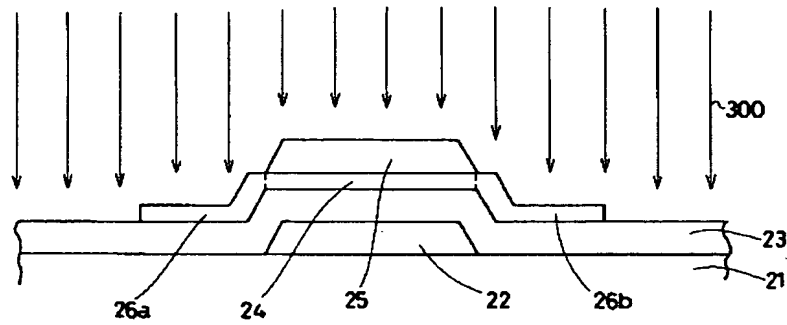
【図 1 1】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 29/40
29/46

識別記号

庁内整理番号

F I

技術表示箇所

A 7376-4M

S 7376-4M

8617-4M

H 0 1 L 21/265

H